МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное бюджетное образовательное учреждение

высшего образования

«**Вятский государственный университет**»

**(«ВятГУ»)**

Факультет автоматики и вычислительной техники

Кафедра электронных вычислительных машин

Отчет по лабораторной работе №3

по дисциплине «Организация памяти ЭВМ»

Вариант 10

Выполнил студент группы ИВТ-32 \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_/Щесняк Д. С./

Проверил доцент кафедры ЭВМ\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_/Куваев А.С./

Киров 2017

1. Задание на лабораторную работу

Целью лабораторной работы является:

* изучение методов и средств преобразования логического адреса в физический, реализованных в УУП;
* изучение методов и средств по защите памяти, реализованных в УУП;
* изучение архитектуры процессора и УУП (регистров процессора, слова состояния, регистров ошибок и т.д.)
* приобретение навыков в программировании системы защиты памяти, использовании команд программных прерываний для системного и пользовательского режимов работы.

1. Исходные данные

Таблица системных сегментов представлена в таблице 1, таблица пользовательских – в таблице 2. N = 3500, M = 350

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Таблица 1   |  |  |  |  |  | | --- | --- | --- | --- | --- | | **Системные сегменты** | | | | | | № сегмента | Тип сегмента | Базовый  адрес | Размер | Атрибуты защиты | | 0  1  2  3  4  5  6  7 | С  Д  Д  Д  С  К  К  Д | 5616  6245  4750  4560  5330  5770  6140  7600 | 54\*  105  67  72  13\*  53  31  177 | З, Ч  З  З  В, Ч  В | | Таблица 2   |  |  |  |  |  | | --- | --- | --- | --- | --- | | **Пользовательские сегменты** | | | | | | № сегмента | Тип сегмента | Базовый  адрес | Размер | Атрибуты защиты | | 0  1  2  3  4  5  6  7 | К  Д  С  Д  С  К  Д  Д | 0110  0245  1410  2560  4000  0770  1140  7600 | 74  115  27\*  72  43\*  113  11  77 | В  З, Ч    З    В, Ч | |

Таблица 3 – Вторая подпрограмма

|  |  |  |  |
| --- | --- | --- | --- |
| Вариант | Команда | Адресация первого операнда | Адресация второго операнда |
| 10 | BIC | Регистровая косвенная | Автодекрементная |

Таблица 4 – Команды для третьей и четвертой подпрограммы

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Вариант | Команда | Адресация | Команда | Адресация |
| 10 | TST | Индексная | SWAB | Регистровая косвенная |

Таблица 5 – Варианты заданий на выработку векторов прерываний

|  |  |
| --- | --- |
| Вектор | Причина прерывания |
| 004 | Нечетный адрес |
| 010 | Нелегальные или резервные инструкции процессора |
| 014 | Внутренне прерывание по биту трассировки T слова состояния PSW |
| 120 | Обращение к неподключенному внешнему устройству |
| 160 | Физический адрес внешнего устройства больше 7777768 |
| 250 | Ошибка диспетчера памяти |

Таблица 6 – Варианты заданий на выработку кодов ошибок для сегментов данных

|  |  |
| --- | --- |
| Код ошибки в SR0 | Причина прерывания |
| 100 | Защита по записи и чтению |
| 010 | Нарушение границ сегмента |
| 001 | Защита по записи |
| 110 | Защита по записи и чтению и нарушение границ сегмента |
| 011 | Защита по записи и нарушение границ сегмента |
| 100 | Несуществующий режим работы |
| 111 | Несуществующий атрибут защиты |

Таблица 7 – Варианты заданий на выработку кодов ошибок для кодовых сегментов

|  |  |
| --- | --- |
| Код ошибки в SR0 | Причина прерывания |
| 100 | Защита по чтению из сегмента кода |
| 010 | Нарушение границ сегмента кода |
| 001 | Защита по записи в сегмент кода |
| 110 | Защита по чтению из сегмента кода и нарушение его границ |
| 011 | Защита по записи в сегмент кода и нарушение его границ |
| 101 | Защита по чтению из сегмента кода и по записи в него |
| 111 | Защита по чтению из сегмента кода, записи и нарушение его границ |

1. Исходный код программы

Исходный код программы представлен на рисунке 1.

|  |
| --- |
| ┌─────┬────────────────────────────────┬────────────────────────────────┐  │ N │ Command │ Comments │  ├─────┼────────────────────────────────┼────────────────────────────────┤  │ 000 │MOV #5616,@#172340 │Zapis" adresov │  │ 001 │MOV #6245,@#172342 │ │  │ 002 │MOV #4750,@#172344 │ │  │ 003 │MOV #4560,@#172346 │ │  │ 004 │MOV #5330,@#172350 │ │  │ 005 │MOV #5770,@#172352 │ │  │ 006 │MOV #6140,@#172354 │ │  │ 007 │MOV #7600,@#172356 │ │  │ 010 │NOP │ │  │ 011 │MOV #26036,@#172300 │Zapis" prav │  │ 012 │MOV #42420,@#172302 │i razmerov │  │ 013 │MOV #33422,@#172304 │ │  │ 014 │MOV #35022,@#172306 │ │  │ 015 │MOV #05436,@#172310 │ │  │ 016 │MOV #25404,@#172312 │ │  │ 017 │MOV #14400,@#172314 │ │  │ 020 │MOV #77426,@#172316 │ │  │ 021 │NOP │ │  │ 022 │MOV #1,@#177572 │Vkluchenie UUP │  │ 023 │NOP │ │  │ 024 │MOV #0110,@#177640 │Zapis" adresov │  │ 025 │MOV #0245,@#177642 │Dlya pol"zovatel"skogo │  │ 026 │MOV #1410,@#177644 │rezhimaa │  │ 027 │MOV #2560,@#177646 │ │  │ 030 │MOV #4000,@#177650 │ │  │ 031 │MOV #0770,@#177652 │ │  │ 032 │MOV #1140,@#177654 │ │  │ 033 │MOV #7600,@#177656 │ │  │ 034 │NOP │ │  │ 035 │MOV #36000,@#177600 │Zapis" razmera │  │ 036 │MOV #46420,@#177602 │i prav │  │ 037 │MOV #13436,@#177604 │ │  │ 040 │MOV #35022,@#177606 │ │  │ 041 │MOV #21436,@#177610 │ │  │ 042 │MOV #45404,@#177612 │ │  │ 043 │MOV #04426,@#177614 │ │  │ 044 │MOV #37426,@#177616 │ │  │ 045 │NOP │ │  │ 046 │MOV #140000,@#177776 │Pol"zovatel"skii rezhim │  │ 047 │NOP │ │  │ 050 │TRAP #0 │ │  │ 051 │EMT #0 │ │  │ 052 │JSR @#150 │ │  │ 053 │JSR @#200 │ │  │ 054 │emt #2 │ │  │ 055 │JSR @#222 │ │  │ 056 │MOV #10000,R0 │ │  │ 057 │SWAB (R0) │ │  │ 060 │MOV #0,@#177777 │ │  │ 061 │MOV #5,#23500 │ │  │ 062 │; │ │  │ 075 │CLR @#140350 │#1 │  │ 076 │ADD @#3500,@#140350 │ │  │ 077 │ADD @#23500,@#140350 │ │  │ 100 │ADD @#43500,@#140350 │ │  │ 101 │ADD @#63500,@#140350 │ │  │ 102 │ADD @#103500,@#140350 │ │  │ 103 │ADD @#123500,@#140350 │ │  │ 104 │ADD @#14350,@#140350 │ │  │ 105 │ADD @#16350,@#140350 │ │  │ 106 │RTT │ │  │ 107 │ │ │  │ 117 │ │ │  │ 120 │MOV #0350,R0 │ │  │ 121 │MOV #03502,R1 │ │  │ 122 │BIC (R0),-(R1) │ │  │ 123 │MOV #103502,R1 │ │  │ 124 │BIC (R0),-(R1) │ │  │ 125 │MOV #163502,R1 │ │  │ 126 │BIC (R0),-(R1) │ │  │ 127 │RTI │ │  │ 130 │ │ │  │ 147 │ │ │  │ 150 │MOV #43000,R0 │ │  │ 151 │TST 500(R0) │ │  │ 152 │MOV #63000,R0 │ │  │ 153 │TST 500(R0) │ │  │ 154 │MOV #103000,R0 │ │  │ 155 │TST 500(R0) │ │  │ 156 │MOV #163000,R0 │ │  │ 157 │TST 500(R0) │ │  │ 160 │JSR @#53 │ │  │ 161 │ │ │  │ 177 │ │ │  │ 200 │MOV #3500,R0 │ │  │ 201 │SWAB (R0) │ │  │ 202 │MOV #23500,R0 │ │  │ 203 │SWAB (R0) │ │  │ 204 │MOV #43500,R0 │ │  │ 205 │SWAB (R0) │ │  │ 206 │MOV #63500,R0 │ │  │ 207 │SWAB (R0) │ │  │ 210 │MOV #103500,R0 │ │  │ 211 │SWAB (R0) │ │  │ 212 │MOV #123500,R0 │ │  │ 213 │SWAB (R0) │ │  │ 214 │MOV #143500,R0 │ │  │ 215 │SWAB (R0) │ │  │ 216 │MOV #163500,R0 │ │  │ 217 │SWAB (R0) │ │  │ 220 │JSR @#54 │ │  │ 221 │ │ │  │ 222 │MOV #3500,R0 │ │  │ 223 │SWAB (R0) │ │  │ 224 │MOV #23500,R0 │ │  │ 225 │SWAB (R0) │ │  │ 226 │MOV #43500,R0 │ │  │ 227 │SWAB (R0) │ │  │ 230 │MOV #63500,R0 │ │  │ 231 │SWAB (R0) │ │  │ 232 │MOV #103500,R0 │ │  │ 233 │SWAB (R0) │ │  │ 234 │MOV #123500,R0 │ │  │ 235 │SWAB (R0) │ │  │ 236 │MOV #143500,R0 │ │  │ 237 │SWAB (R0) │ │  │ 240 │MOV #163500,R0 │ │  │ 241 │SWAB (R0) │ │  │ 242 │JSR @#56 │ │  │ 243 │ │ │  │ 244 │ │ │  │ 245 │ │ │  │ 246 │ │ │  │ 247 │ │ │  │ 250 │MOV #6110,@#177652 │ │  │ 251 │MOV #5770,@#177644 │ │  │ 252 │MOV #004404,@#177612 │ │  │ 253 │MOV #043000,@#177604 │ │  │ 254 │MOV #46424,@#177602 │ │  │ 255 │MOV #7777,@#177656 │ │  │ 256 │RTI │ │  │ 257 │ │ │  │ 260 │ │ │  │ 277 │ │ │  │ 300 │MOV #10,R0 │ │  │ 301 │MOV (R6),R0 │ │  │ 302 │RTI │ │  │ 303 │ │ │  │ 304 │ │ │  │ 305 │ │ │  │ 306 │ │ │  │ 307 │ │ │  │ 310 │MOV #250,R0 │ │  │ 311 │RTI │ │  │ 312 │RTI │ │  │ 313 │ │ │  │ 314 │ │ │  │ 320 │MOV #120,R0 │ │  │ 321 │MOV (R6),R0 │ │  │ 322 │RTI │ │  │ 327 │ │ │  │ 330 │MOV #4,R0 │ │  │ 331 │MOV (R6),R0 │ │  │ 332 │RTI │ │  │ 333 │ │ │  │ 340 │MOV #160,R0 │ │  │ 341 │MOV (R6),R0 │ │  │ 342 │RTI │ │ |

Рисунок 1 – Исходный код программы

1. Экранные формы

Окно результата выработки прерываний представлено на рисунке 2

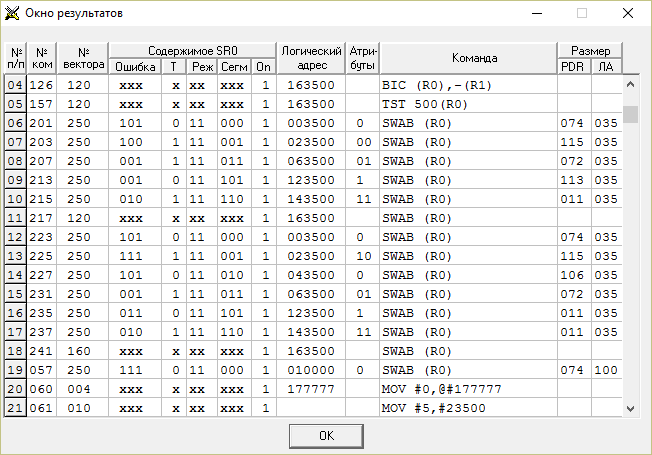


Рисунок 2 – Окно результата выработки прерываний

1. Вывод

В ходе выполнения лабораторной работы были изучены методы защиты УУП и архитектура процессора, организация сегментной памяти и преобразование логических адресов в физические.

Заданная архитектура процессора позволяла работать в системном режиме (0-й режим) и пользовательском (3-й режим), все остальные коды режимов вызывали 250-е прерывание с кодом ошибки неверного режима работы.

Вся память в сегментной адресации делится на сегменты. Для пользовательского режима работы и системного эти сегменты различаются. Из пользовательского режима осуществляется доступ только к пользовательским сегментам, а из системных – к системным. Сегмент, кроме базового адреса, так же имеет размер, направление роста, тип сегмента и атрибуты защиты. Сегмент типа данных имеет два атрибута защиты: запись и чтение. Данные атрибуты могут задаваться как угодно, за исключением одного варианта: когда чтение запрещено, а запись разрешена. Сегмент кода имеет два атрибута: выполнение и чтение. Внутри сегмента возможно разрешать и запрещать только чтение.

Для обращения к данным в ОЗУ используются логические адреса. В данной архитектуре преобразование из логического в физический адрес выглядит следующим образом: старшие три бита обозначают номер сегмента, следующие 7 битов складываются с базой сегмента, а оставшиеся 6 бит обозначают смещение внутри сегмента, они остаются неизменными.